

ПРОЕКТИРОВАНИЕ МИКРОСХЕМ С ИСПОЛЬЗОВАНИЕМ LVDS-ИНТЕРФЕЙСА

ДАНИИЛ ДЕМИДОВ, АЛЕКСАНДР ОДНОЛЬКО, ИЛЬЯ ИОНОВ, КОНСТАНТИН ФРОЛОВ, ЗАО «ПКК Миландр»

В статье рассмотрены этапы проектирования компонентов интерфейса низковольтной дифференциальной передачи сигналов (англ.: low-voltage differential signaling, LVDS) в микросхемах компании «Миландр», а также основные проблемы, возникающие в ходе проектирования. Предложены возможные пути их решения.

Основное назначение LVDS — передача информации дифференциальными сигналами малых напряжений по двум проводникам печатной платы или по согласованному дифференциальному кабелю, при которой обеспечивается снижение чувствительности к искажениям сигнала от внешних электромагнитных воздействий. При наличии согласования токовый выход передатчика LVDS не склонен к «звону» и выбросам фронтов, что снижает уровень шума в линии передачи. Основная концепция LVDS представлена на рисунке 1. Чтобы обеспечить согласование, можно также вставить 100-Ом резистор на ближнем конце линии.

Приемник имеет высокий входной импеданс, поэтому основная часть

выходного тока передатчика протекает через 100-Ом резистор терминатора линии, создавая на нем падение напряжения до 350 мВ, приложенное ко входу приемника. При переключении выхода передатчика направление протекания тока через терминатор меняется на противоположное, обеспечивая достоверные логические состояния «0» или «1». Основные характеристики LVDS изложены в стандарте ANSI/TIA/EIA-644.

Важным достоинством LVDS является то, что характеристики приемников и передатчиков не зависят напрямую от напряжения питания схемы, например, от 5 В. Поэтому LVDS легко преодолевает барьеры по снижению напряжения питания до 3,3 В и даже 2,5 В без

изменения электрических уровней сигналов передачи и производительности. К достоинствам LVDS следует отнести и относительную простоту согласования импедансов с помощью контроля параметров дифференциальной линии на плате и использования терминирующего резистора, согласованного с этой линией.

В компании «Миландр» был успешно разработан ряд микросхем для различных областей применения, использующих LVDS-интерфейс (см. табл. 1). В ходе разработки данных микросхем были успешно решены несколько проблем, связанных с реализацией отдельных компонентов LVDS-приемников и передатчиков.

ПРИЕМНИК

Согласно стандарту ANSI/TIA/EIA-644, приемник LVDS должен обеспечивать уверенный прием в широком диапазоне смещений входного сигнала ($V_{cm} = 0,05 \div 2,35$ В). Для того чтобы обеспечить работу схемы для крайних значений V_{cm} , приемник строится на основе двух дифференциальных пар: на n-канальных и p-канальных МОП-транзисторах (см. рис. 2). Токи I_p и I_n отражаются и используются для формирования сигналов с КМОП-размахом на выходе приемника.

Одной из проблем, возникающих при передаче данных посредством LVDS, является проблема обработки длительных последовательностей логических «0» или «1». Суть проблемы (см. рис. 3) заключается в наличии разницы задержек отклика схемы на переключение на дифференциальном входе в случаях высокой частоты переключения входных данных (t_1) и в случае отсутствия переключений на входе в течение нескольких тактов (t_2). В этом случае напряжения в точках А и В успевают разрядиться до потенциалов, близких к питанию (U_{cc}) и «земле» (GND), в то время как при частом пере-

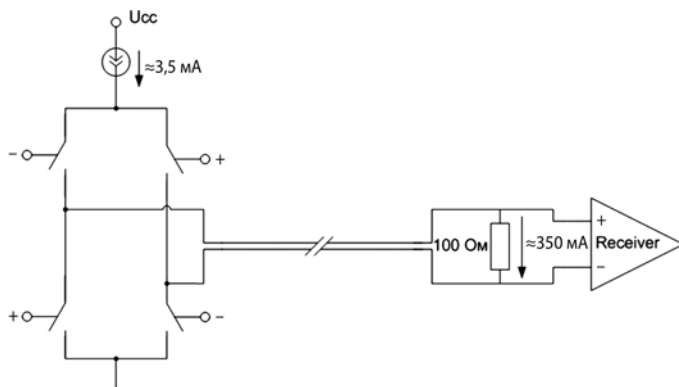


Рис. 1. Упрощенная схема соединения LVDS-передатчика с приемником через 100-Ом линию

Таблица 1. Микросхемы «Миландр» с LVDS

Название микросхемы	Назначение	Скорость передачи данных	Тех. процесс
5559ИН-19 (5559ИН19У, К5559ИН19У, К5559ИН19Н4)	Микросхема двухканального LVDS приемопередатчика	400 Мбит/с	XFAB, XC018
1967ВЦ2Т	32-разрядный высокопроизводительный процессор цифровой обработки сигналов.	1 Гбит/с	TSMC, tsmc65n
1967ВЦ3Ф	32-разрядный высокопроизводительный процессор цифровой обработки сигналов.	800 Мбайт/с	Микрон, 90 нм
Новая разработка	Десериализатор с цифровой обработкой данных	665 Мбит/с	TSMC, tsmc018
Новая разработка	Конвейерный АЦП	200 Мбит/с	TSMC, tsmc018

ключении данных эти напряжения осциллируют вокруг напряжения $U_{cc}/2$ с амплитудой меньше, чем полный размах. В этом случае переключение полной схемы происходит быстрее, что уменьшает общую задержку между входом и выходом схемы. Следует отметить, что эта проблема в меньшей мере проявляется при низких напряжениях питания.

В качестве решения проблемы в схему были добавлены дополнительные транзисторы, подключенные параллельно транзисторам входных дифференциальных пар M1, M2, M3 и M4 (см. рис. 4а). При этом размер дополнительных транзисторов должен быть значительно меньше размеров основных транзисторов. Иначе ухудшается чувствительность схемы. Другим способом решения данной проблемы является применение дополнительных источников тока, как показано на рисунке 4б. При этом должно выполняться условие $I_{add} \ll I_v$, чтобы существенно не снизить чувствительности системы.

Для устранения проблемы «затягивания» нуля или единицы в конкретных технологических углах можно использовать следующий подход. Сигналы А и В (см. рис. 4) подаются на входы схемы, изображенной на рисунке 5. Таким образом обеспечивается симметричность прохождения нулей и единиц через тракт, и скважность не искажается. Недостатком данной схемы является повышенное потребление тока.

ПЕРЕДАТЧИК

Один из способов построения LVDS-передатчика показан на рисунке 6.

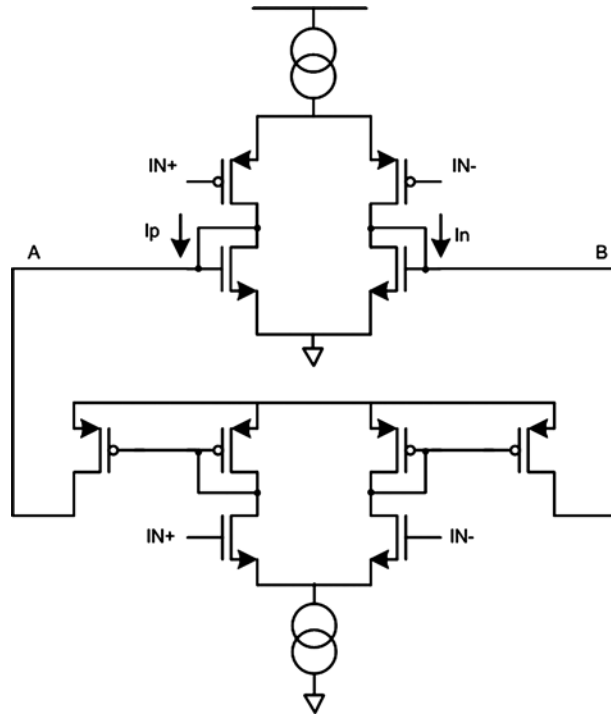


Рис. 2. Реакция схемы на переключения на входе схемы

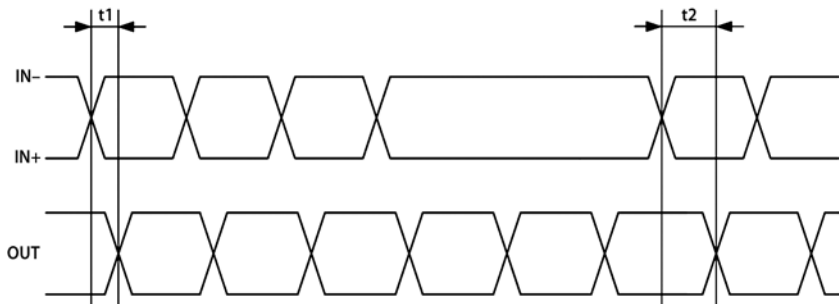


Рис. 3. Входной каскад LVDS-приемника

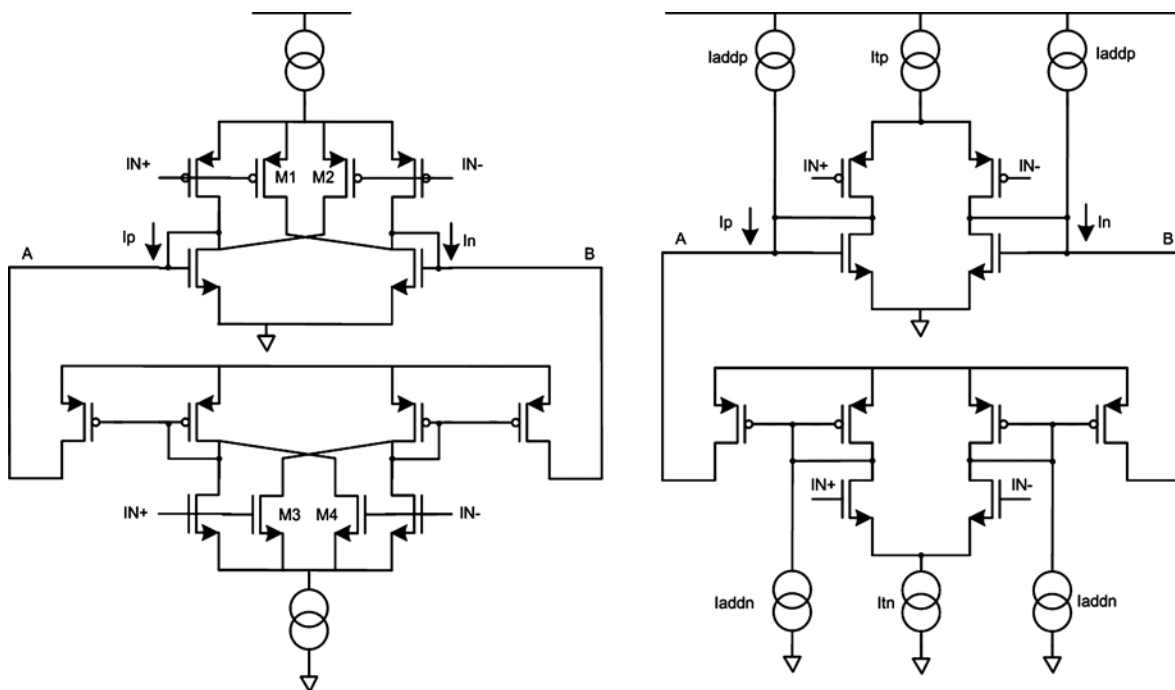


Рис. 4. Предложенная схема для решения проблемы с длительными «0» и «1»: а) с использованием перекрестной связи в дифференциальной паре; б) с использованием источников тока

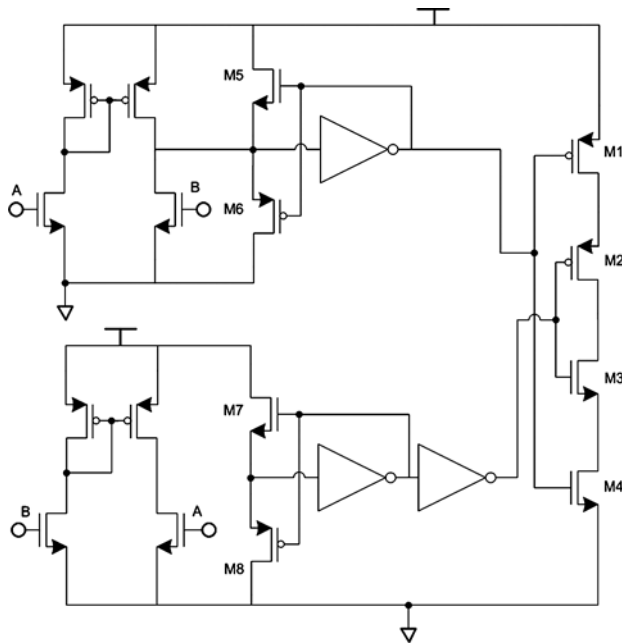


Рис. 5. Стабилизация скважности

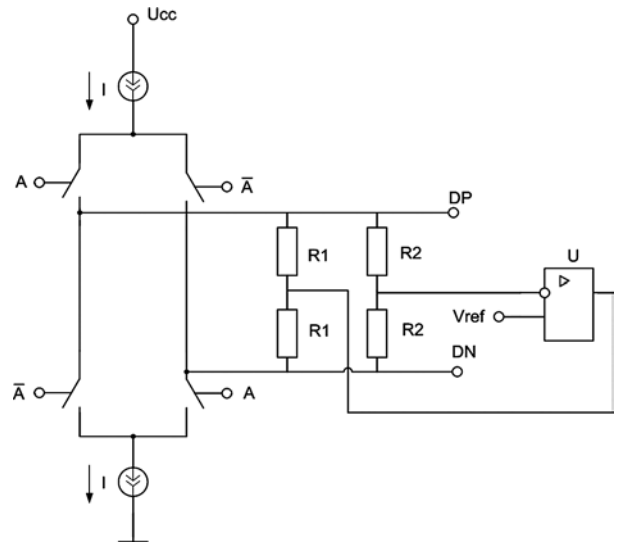


Рис. 6. Пример построения LVDS-передатчика. Вариант 1

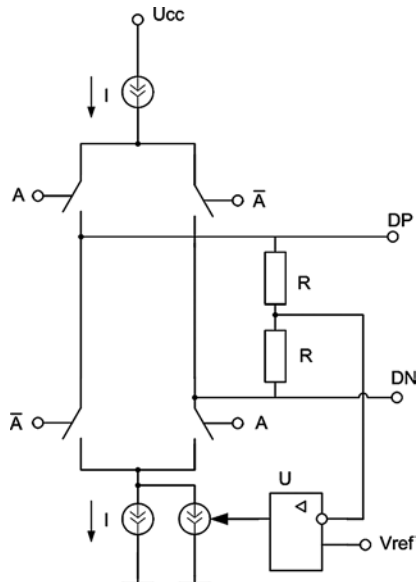


Рис. 7. Пример построения LVDS-передатчика. Вариант 2

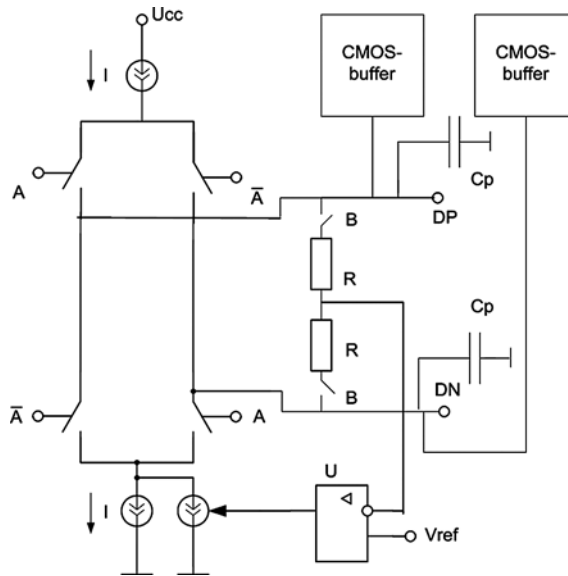


Рис. 8. Коммутация КМОП- и LVDS-выходов

Ключи А и /А используются для коммутации тока I в соответствии с передаваемой последовательностью данных. Операционный усилитель U необходим для установки синфазного напряжения V_{cm} . Для этой же цели в схему включены резисторы R1 и R2 (для снижения их влияния на согласование с выходным трактом их номинал должен быть как можно большим).

Согласно стандарту ANSI/TIA/EIA-644, колебание напряжения V_{cm} должно находиться в пределах коридора шириной 150 мВ. Колебания синфазного напряжения связаны с положением точки пересечения фронта и среза выходных сигналов. Чтобы уложиться в требуемые 150 мВ во всех

технологических углах, необходимо сделать фронты выходных сигналов более пологими. Это достигается двумя путями:

- уменьшением ключей А и /А, а также «растягиванием» фронтов управляющих ими сигналов (например, внесением RC-цепочки);
- увеличением емкости нагрузки C_p .

Вместе с тем нужно помнить, что по стандарту фронты не должны превышать 30% от половины периода. В случае низковольтного питания первый путь не подходит, т.к. ключи приходится делать достаточно большими, и «затягивание» управляющих фронтов не обеспечивает требуемого результата. В нашем случае роль емкости нагрузки C_p

играет паразитная емкость ESD-защиты и CMOS-buffer.

Лучшие результаты по величине колебания V_{cm} были достигнуты за счет применения схемы, изображенной на рисунке 7 вместо той, что представлена на рисунке 6.

При проектировании LVDS-передатчика для системы с питанием, меньшим чем 2 В, приходится уделять особое внимание сохранению рабочих режимов источников тока I (см. рис. 6, 7). В таком случае применение каскодных источников тока недопустимо. В качестве источников тока приходится применять одиночные транзисторы, а это приводит к более сильному разбросу выходного дифференциального напря-

жения и более сильному джиттеру, зависящему от данных.

Стоит отметить, что при необходимости коммутации портов DP и DN между выходами КМОП и LVDS конструкция на рисунке 7 является более предпочтительной ввиду отсутствия резисторов R1. Данные резисторы являются низкоомными и пропускают значительный ток, который необходимо устранять в случае переключения устройства в режим КМОП-интерфейса (см. рис. 8). Высокоомные резисторы R легко отключаются ключами В.

ГЛАЗКОВАЯ ДИАГРАММА

Для получения глазковой диаграммы (eye diagram) в программе Cadence использовался анализ Monte Carlo. В схему были подключены паразитные индуктивности и сопротивления, имитирующие корпус.

При моделировании схемы наблюдалось прикрытие «глаза» как по оси X, так и по оси Y. Для того чтобы уменьшить закрытие по оси Y, была добавлена емкость между землей и питанием. Прикрытие по оси X при моделировании было меньше, чем при измерениях (см. рис. 9). Данные измерения представлены на рисунке 10. Из рисунка видно, что при измерениях прикрытие по оси Y практически отсутствует, а по оси X больше, чем при моделировании. Размытие по оси X на измеренном образце составило 34,4%, а рабочая зона, соответственно — 65,6%, а при моделировании рабочая зона составила 78,4%.

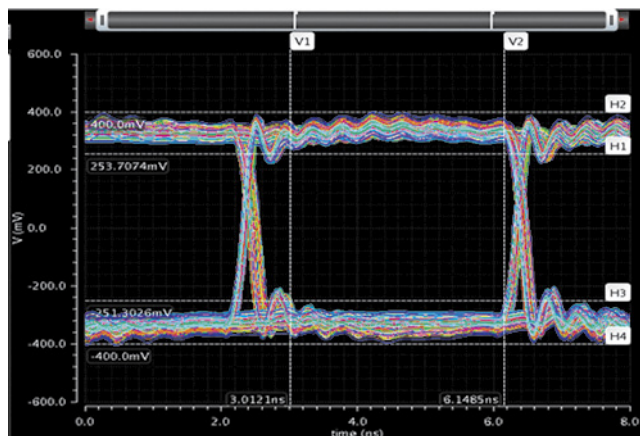


Рис. 9. Расчет схемы по методу Monte Carlo

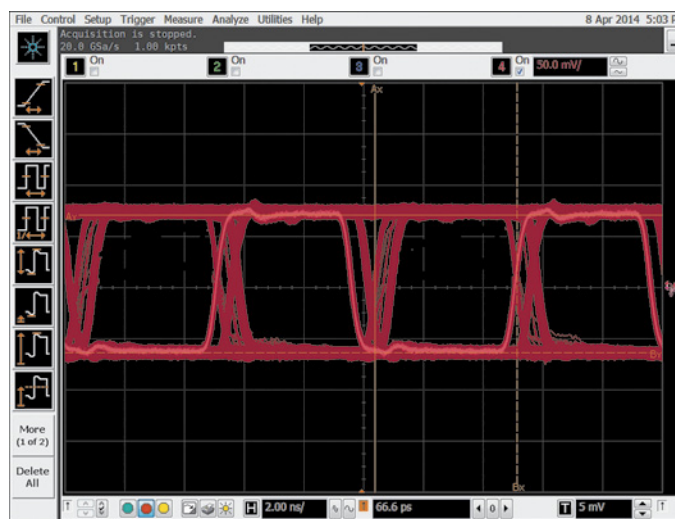


Рис. 10. Результаты измерения образца