

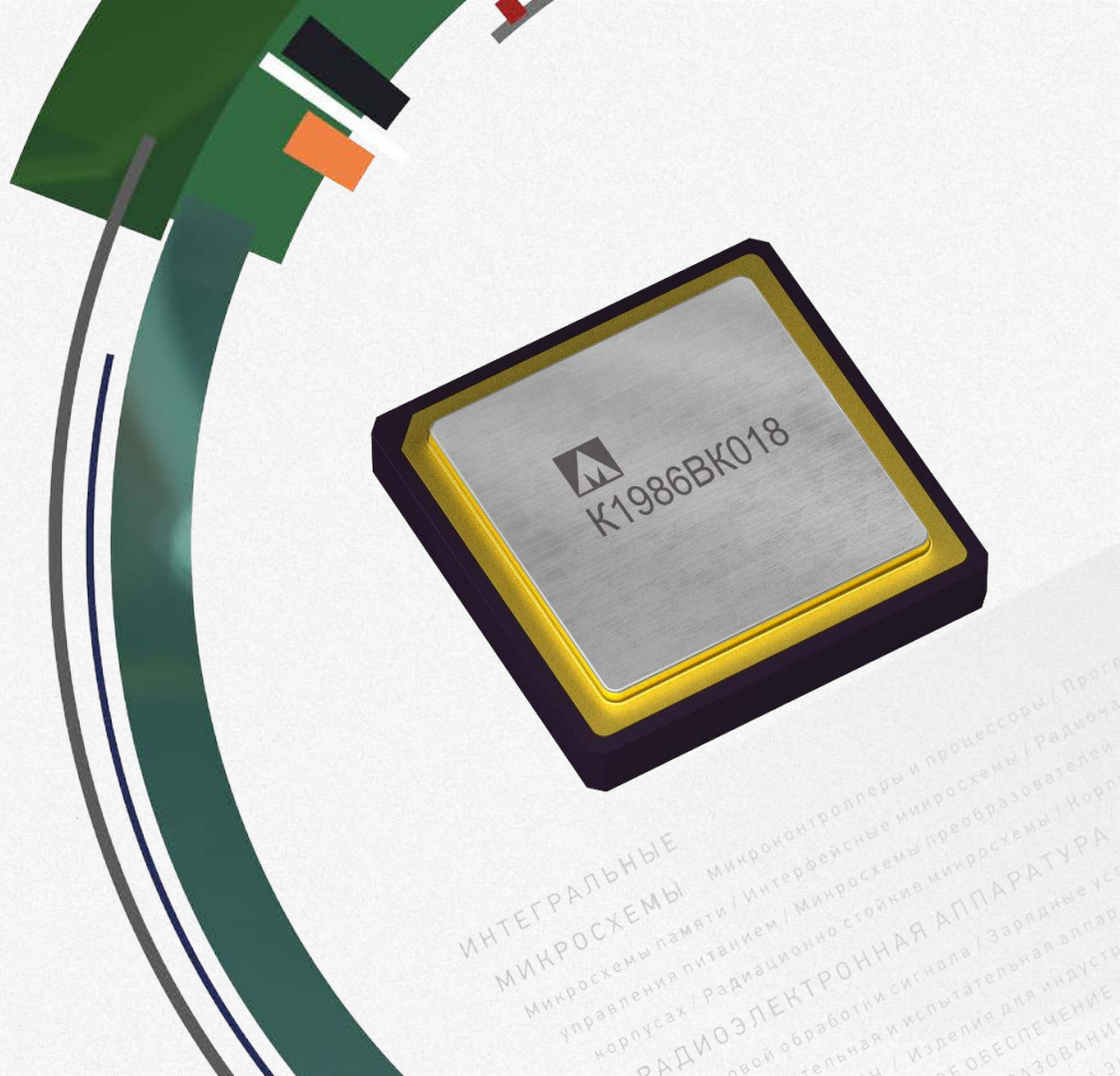


МИЛАНДР
ГРУППА КОМПАНИЙ

Микро- контроллер 1986BK01

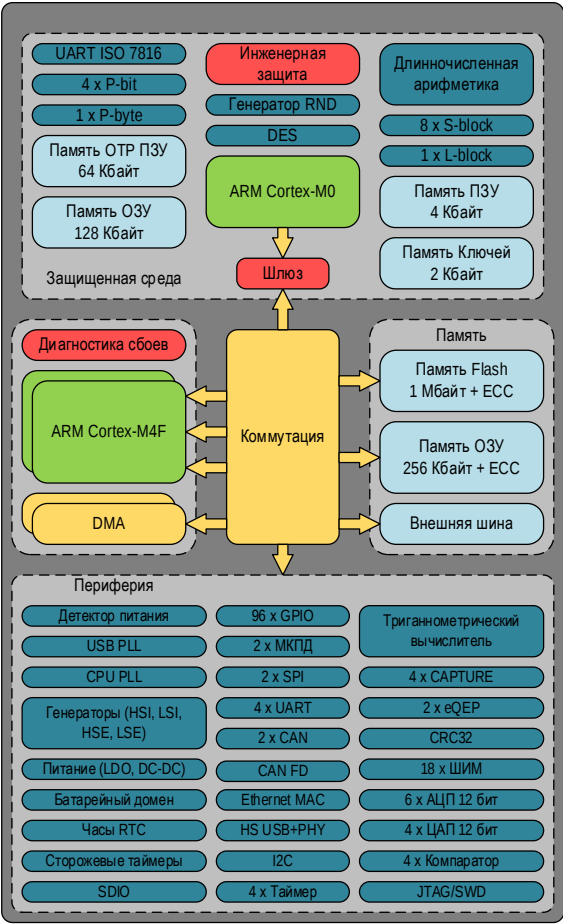
Компания «Миландр»

Москва, Зеленоград, 2021



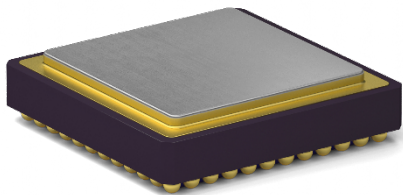
Общие характеристики 1986BK01

Параметр	1986BK01	
Процессорное ядро	2 x Cortex M4F	Cortex M0
Тактовая частота ядер	160 МГц	130 МГц
Память Flash	1 Мбайт	-
Память ОЗУ	256 Кбайт	128 Кбайт
Память OTP	-	64 Кбайт
Внешняя шина	До 64 бит + ECC	-
АЦП 12 бит@2 MSPS	6	-
ЦАП 12 бит	4	-
Компараторы	4	-
GPIO	96	-
Ethernet	MAC 100/10 Мбит	-
USB	MAC+PHY до 480 Мбит/с	-
Интерфейсы	UART, SPI, CAN, CAN_FD, МКПД, SDIO, I2C	UART ISO 7816
Управления приводом	TIMER, PWM, CAP, eQEP	-
Спец. вычислители	Тригонометрический вычислитель, CRC32	Криптография

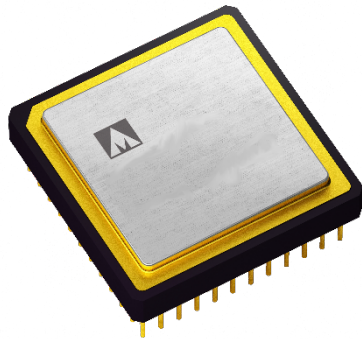


Общие характеристики 1986BK01

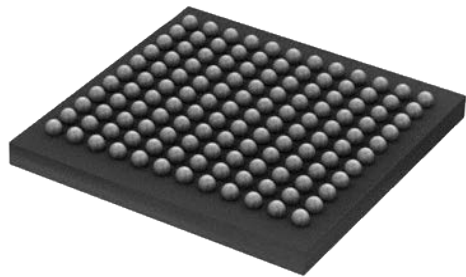
Параметр	1986BK01		
Исполнение	1986BK018	1986BK016	K1986BK01GI
Напряжение питания	3,0...3,6В		
Температурный диапазон	минус 60...+85С		Минус 40...+85С
Тип корпуса	МК 8307.144	МК 6109.144	BGA144
Габариты	16,3 x 16,3	16,3 x 16,3	16,3 x 16,3



МК 8307.144

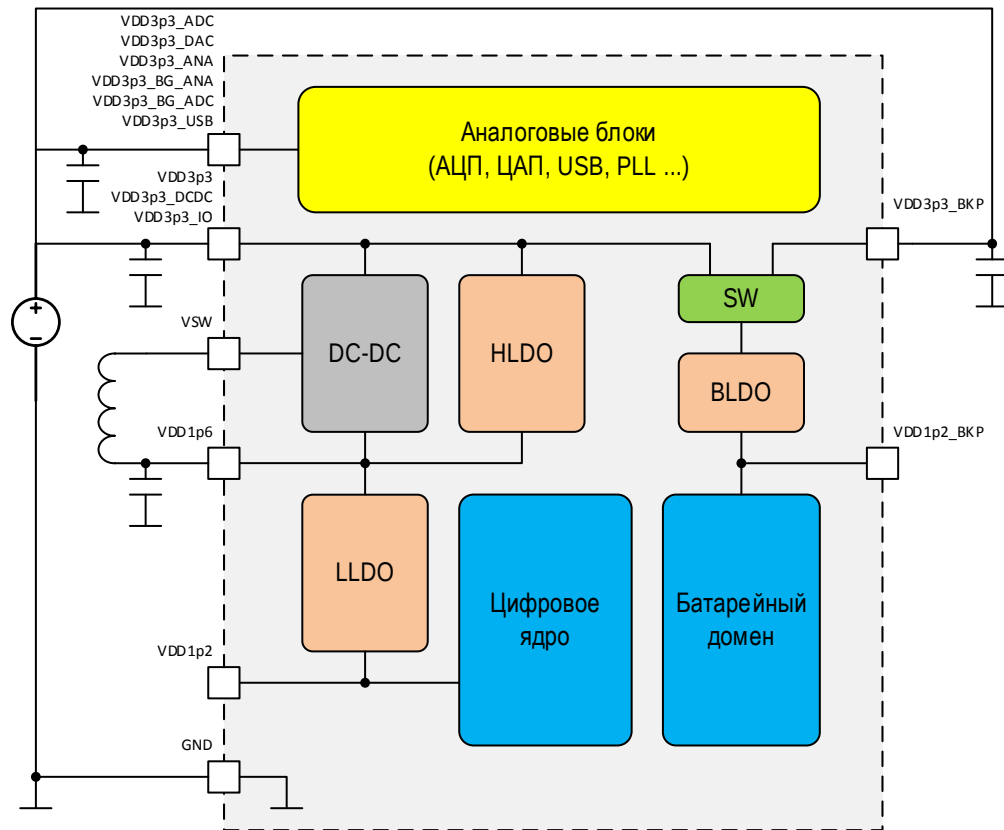


МК 6109.144



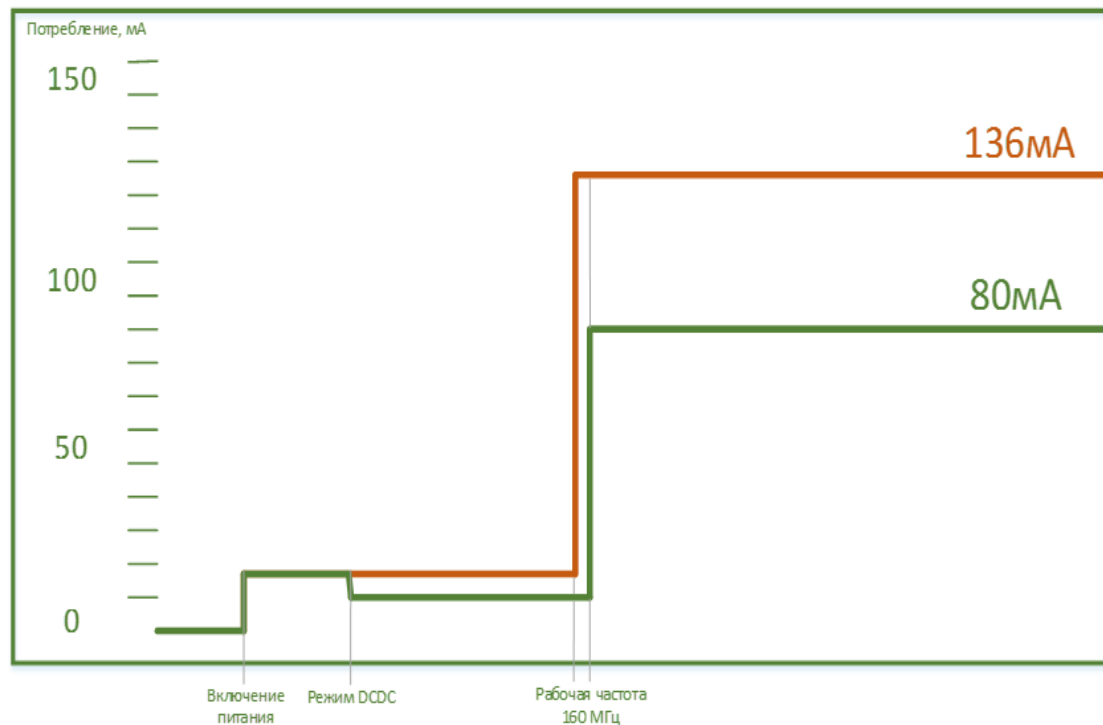
BGA144

Организация питания



- **Запуск микросхемы осуществляется через LDO регуляторы**
- **Переключение на DC-DC регулятор осуществляется программным способом**
- **Если DC-DC не используется, то установка индуктивности не требуется**
- **Использование DC-DC регулятора позволяет уменьшить потребление на 40%**

Организация питания



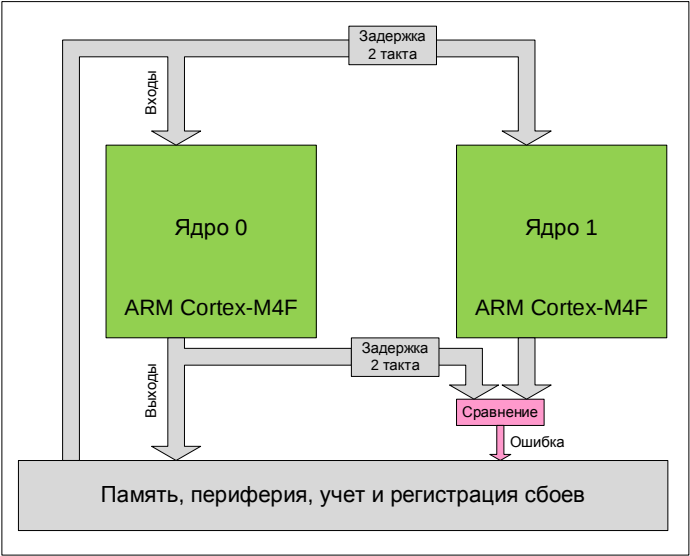
- Запуск микросхемы осуществляется через LDO регуляторы
- Переключение на DC-DC регулятор осуществляется программным способом
- Если DC-DC не используется, то установка индуктивности не требуется
- Использование DC-DC регулятора позволяет уменьшить потребление на 40-50%

MODE	Описание режима
0000_0000	Отладочный режим + JTAG A
0111_0001 1011_0010	Исполнение из FLASH + JTAG A или JTAG B
1100_0011 1101_0100	Исполнение из внешней 8-ми битной памяти + JTAG A или JTAG B
1010_0101 0110_0110	Исполнение из внешней памяти с чтением режима конфигурации + JTAG A или JTAG B
0001_0111 1110_1000	Загрузка программы в ОЗУ последовательно по интерфейсу SPI1 (PB[23:20]) + JTAG A или JTAG B
1001_1001 0101_1010	Загрузка программы в ОЗУ последовательно по интерфейсу SPI0 (PB[19:16]) + JTAG A или JTAG B
0010_1011	Загрузка программы в ОЗУ последовательно по интерфейсу UART0 (PD[9:8]) + JTAG B
0011_1100	Загрузка программы в ОЗУ последовательно по интерфейсу UART0 (PA[17:16]) + JTAG A
0100_1100	Резерв
1000_1110	Отладочный режим, запуск из ОЗУ (0x0200_0000) + JTAG A
Остальные	Отладочный режим + JTAG B

Реализован механизм защиты памяти Flash от считывания !

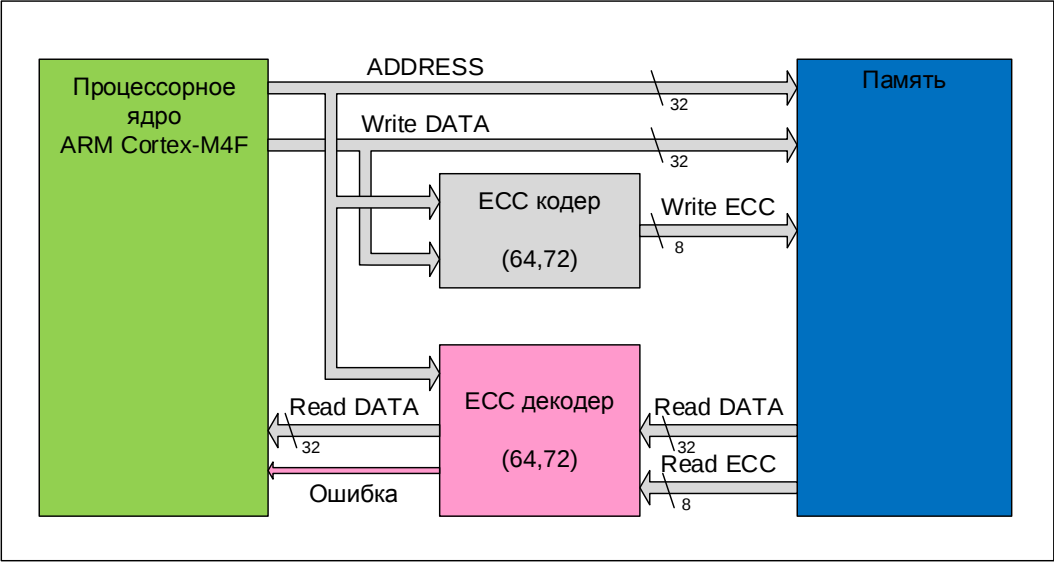
Обнаружение и исправление сбоев

Режим LockStep



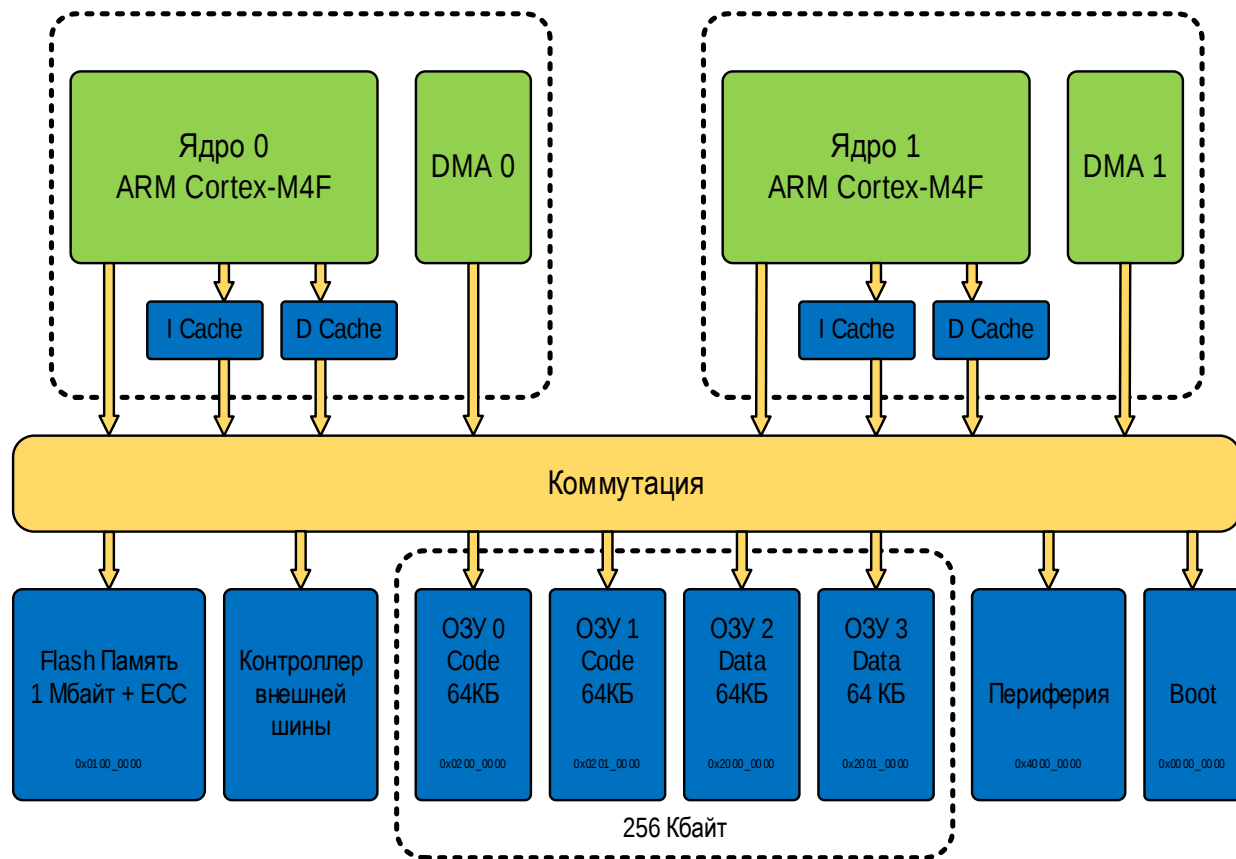
Только обнаружение сбоев

Корректирующие коды



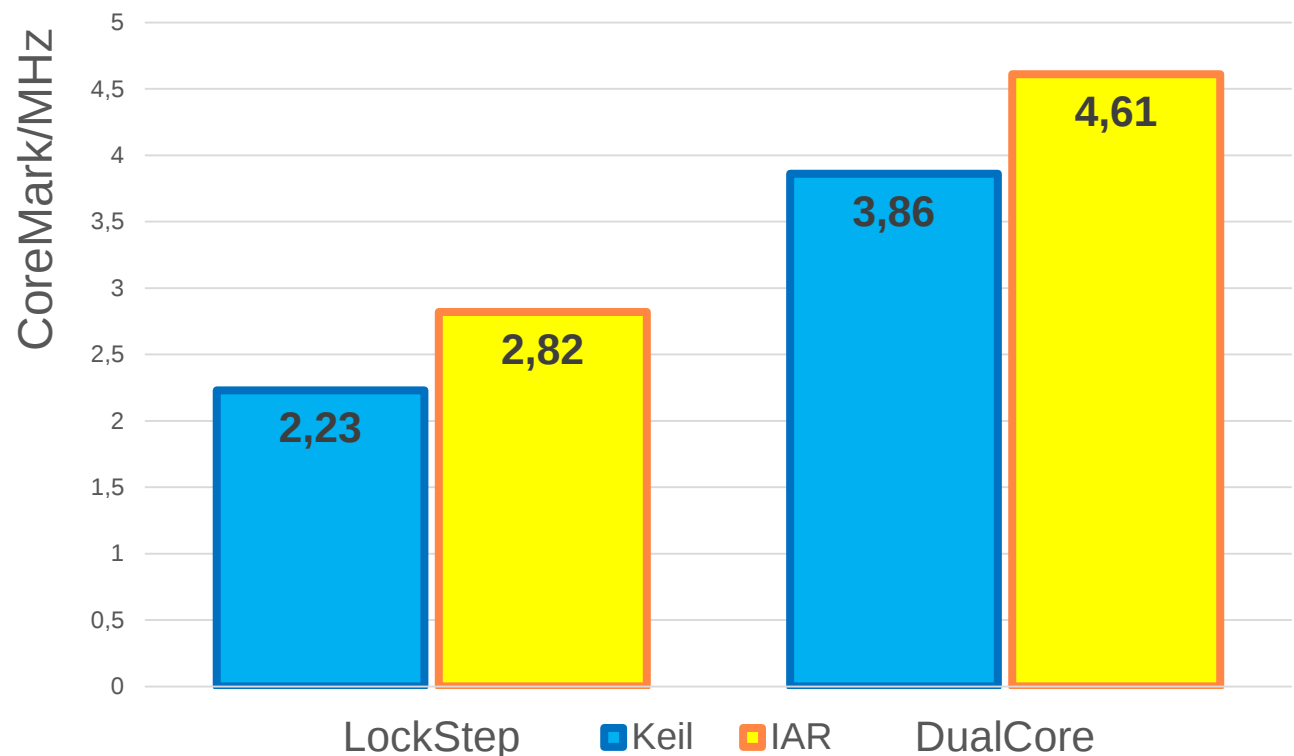
Исправление одиночных и обнаружение двойных сбоев

Организация памяти и многопроцессорный режим



- Не обеспечивается когерентность данных
- Конфликты при обращении в Flash или внешнюю шину компенсируются в кэшах
- При использовании обоих ядер для обеспечения максимальной производительности необходимо использовать «расслоение» памяти ОЗУ
- Независимая отладка каждого ядра

Производительность



Аналоговая периферия

Параметр	Значение
Число блоков АЦП, шт	6
Число каналов АЦП, шт	25
Интегральная нелинейность АЦП, ЕМР	-3 ... +3
Дифференциальная нелинейность АЦП, ЕМР	-1 ... +2
Число блоков ЦАП, шт	4
Интегральная нелинейность ЦАП, ЕМР	-3 ... +3
Дифференциальная нелинейность ЦАП, ЕМР	-1 ... +2
Число блоков Компараторов	4
Встроенный датчик температуры	Есть
Встроенный USB PHY	До 480 Мбит/с
Генераторы	2 x HSE, HSI, LSE, LSI
Блоки умножения частоты PLL	4
Батарейный домен	Да
Часы реального времени	Да

Цифровая периферия

Параметр	Значение
SPI контроллер	2
UART контроллер	4
UART ISO 7816	1
I2C контроллер	1
USB High Speed	1
CAN 2.0 контроллер	2
CAN FD контроллер	1
Ethernet MAC 10/100 Мбит/с	1
МКПД (Манчестер)	2
Квадратурный энкодер eQEP	2
SDIO (SD/MMC)	1
Контроллер внешней шины	1
CRC вычислитель	1
TIMER 32 бита	4
ePWM	9
Блок захвата	4
Тригонометрический вычислитель	1

Исправлены многие недостатки предыдущих версий:

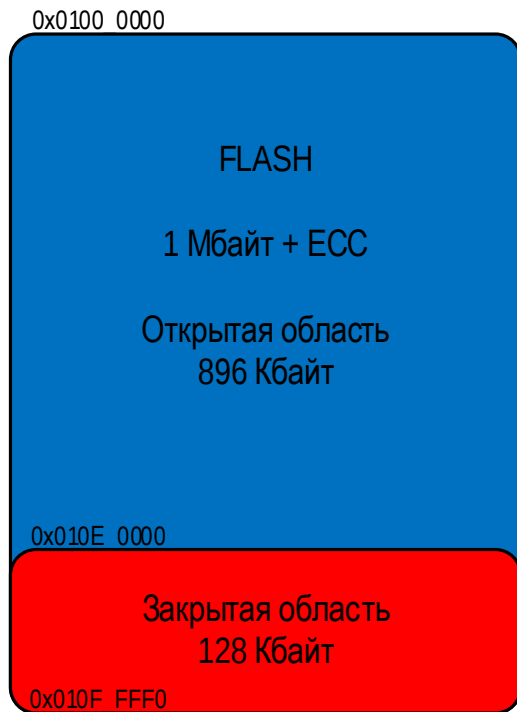
- Прерывание по заверению передачи UART
- Размер фрейма данных до 32 бит в SSP

Готовые библиотеки для работы с основными интерфейсными блоками:

- USB HID и SDC
- Ethernet TCP/IP, Web

Проект CMSIS и Service Pack для Keil и IAR

Информационная безопасность



Для обеспечения защиты закрытой области Flash от несанкционированного считывания реализован механизм с недетерминированным расположением ключевой информации.

Как разрешить работу с закрытой областью?

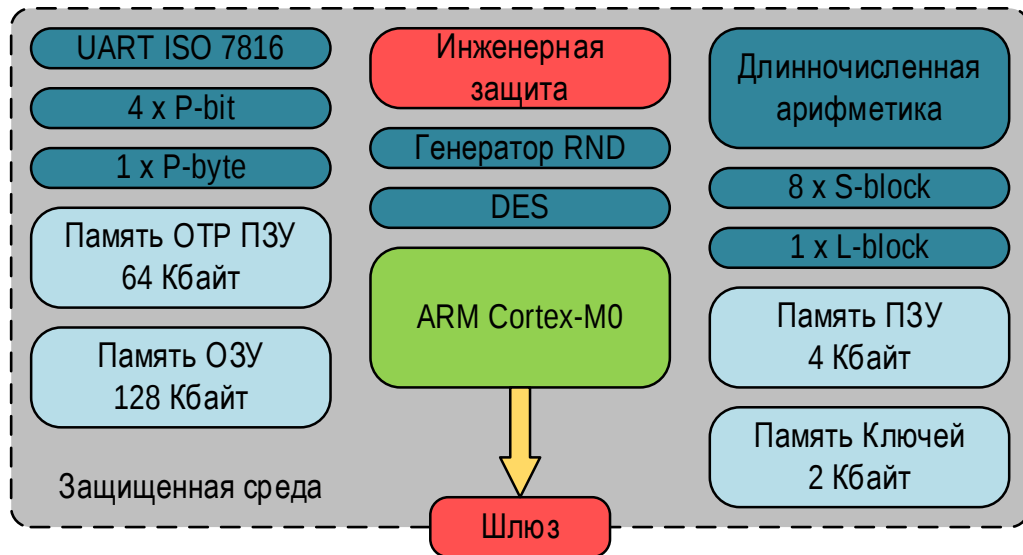
1 способ – Выполнить аппаратное стирание закрытой области.

2 способ – Работать в режиме LockStep,
Выполнять код только из Flash памяти,
Выполнить аппаратную проверку целостности информации в Flash памяти («цифровая подпись»)
При открытии области блокируются отладочные интерфейсы.

Адрес расположения «цифровой подписи» и ее значение определяется самим разработчиком программы.

Информационная безопасность

- ядро ARM Cortex-M0
- тактовая частота до 130 МГц
- ОПЗУ память 64КБ
- ОЗУ 128 КБ
- 2 КБ память ключей с отдельным питанием
- 4 блока P-bit
- 1 блок P-byte
- 8 блоков S-block
- 1 блок L-block
- Блок длинночисленной арифметики(128 бит)
- DES вычислитель
- Выделенный защищенный UART
- Меры инженерной защиты: Защитная сетка, блок генерации шума, генератор случайных чисел, датчик частоты

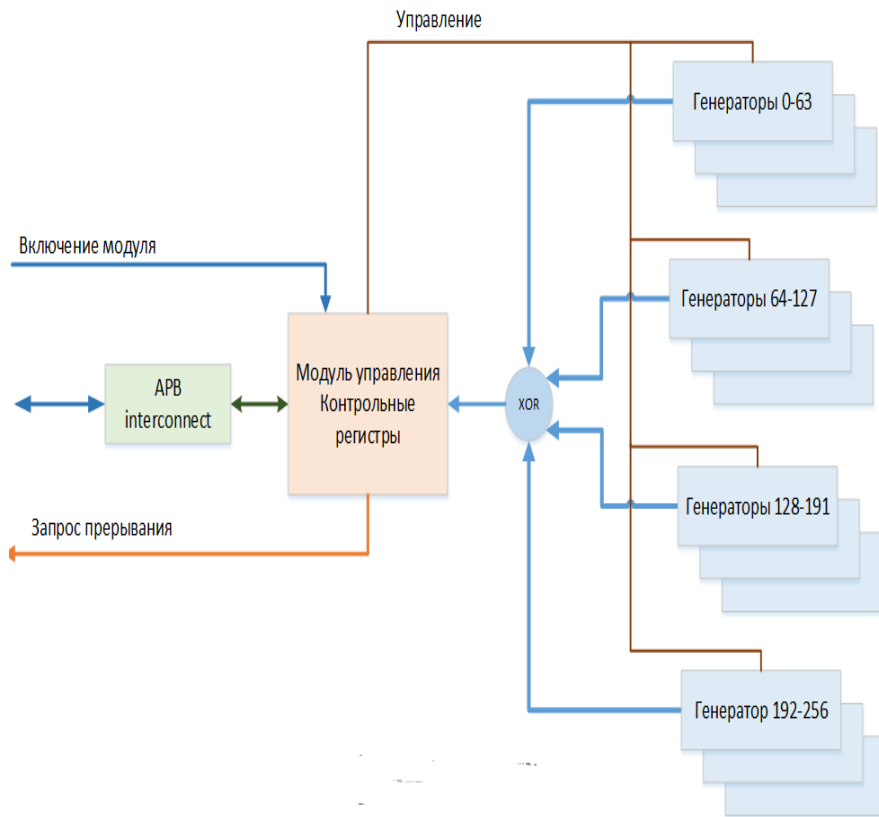


Информационная безопасность

	AES		
Длина ключа	128	192	256
Зашифрование	921 тактов, 18 Мбит/сек *	1105 тактов, 15 Мбит/сек *	1289 тактов, 13 Мбит/сек *
Расшифрование	1088 тактов, 15 Мбит/сек *	1308 тактов, 13 Мбит/сек *	1528 тактов, 11 Мбит/сек *

	ГОСТ Р 34.12-2015 «Кузнечик»	ГОСТ 28147-89 «Магма»
Зашифрование	457 тактов, 36 Мбит/сек *	408 тактов, 20 Мбит/сек *
Расшифрование	466 тактов, 36 Мбит/сек *	408 тактов, 20 Мбит/сек *

* При частоте 130 МГц



**Источником энтропии ГСЧ служит 256
кольцевых генераторов**

Режимы работы:

- **одиночный программный запуск генератора**
- **постоянный режим работы с перезаписью
случайного числа**
- **перезапуск по событию чтению прошлого
значения**

**Модуль формирует сигнал прерывания
по окончании сбора случайного числа**

Инженерные образцы и отладочные комплекты – готовы к поставке

Микросхемы с ОТК – 3 квартал 2021

Микросхемы с ВП – 4 квартал 2021

***Микросхема будет включена в реестр продукции
выпускаемой на территории РФ (постановление 719)***



МИПАНДР
ГРУППА КОМПАНИЙ