

Электронный ключ на моп-транзисторах с малым значением падения напряжения при малом токе утечки

*Домбровский Руслан Ричардович, Однолько Александр Борисович, Павлюк Михаил Ильич,
Серебряков Александр Игоревич.*

Ruslan Dombrovskiy, Alexander Odnolko, Mikhail Pavlyuk, Alexander Serebryakov.

АО "ПКК Миландр", info@milandr.ru

Ключевые слова. Электронный ключ, аналоговый ключ, моп-транзистор, быстроедействие, падение напряжения, ток утечки.

Аннотация. В данной статье рассматривается способ минимизации падения напряжения электронного ключа на полевых транзисторах в открытом состоянии. Поясняется преимущество использования полевых транзисторов для построения электронных ключей. Показано влияние тока вывода кармана транзистора на его проводимость. Сравняются хорошо известные архитектуры электронных ключей, приравненных к одной площади. Предлагается архитектура с малым значением падения напряжения в открытом состоянии и малым током утечки в закрытом. Приводятся результаты моделирования сопротивления электронного ключа в открытом состоянии, а также тока утечки в закрытом состоянии.

Сегодня в мире электроники представлено огромное число разнообразных электронных ключей, реализованных на МОП-транзисторах, с момента появления их первых версий, было создано множество специализированных схем отличающиеся своими параметрами. Электронные ключи находят широкое применение в современной электронике, которая двигается по пути увеличения скорости, а, следовательно, и уменьшения размерности элементов интегральных схем. Появляется необходимость применения ключей с низким напряжением питания и высокими требованиями к току потребления. Это влечет за собой некоторые сложности, которые стоят перед разработчиком [1].

Основная сложность разработки современного ключа, в системах с низким напряжением питания и током потреблением, состоит в двух нежелательных явлениях: утечки закрытого ключа и падения напряжения на открытом [2, 3]. Это легче реализовать при использовании полевых транзисторов, т.к. они обладают рядом преимуществ перед ключами на биполярных транзисторах: малое сопротивление в открытом состоянии, высокое сопротивление в закрытом состоянии, незначительная мощность, потребляемая от источника управляющего сигнала. В настоящее время происходит активное вытеснение биполярных транзисторов из области ключевых устройств. Полевые транзисторы не потребляют статической мощности по цепи управления, в них отсутствуют неосновные носители, а, значит, не требуется время на их рассасывание, наконец, рост температуры приводит к уменьшению тока стока, что обеспечивает повышенную термо-устойчивость. Из всего многообразия полевых транзисторов для построения электронных ключей наибольшее распространение получили МОП - транзисторы с индуцированным каналом (обогащенного типа). Транзисторы этого типа характеризуются пороговым напряжением, при котором возникает проводимость канала. В области малых напряжений между стоком и истоком (открытый транзистор) можно представить эквивалентным сопротивлением (в отличие от насыщенного биполярного транзистора – источника напряжения) [4].

На рисунке 1 изображены классические и хорошо известные схемы построения аналоговых ключей на МОП-транзисторах с индуцированным каналом. Верхний уровень напряжения управления на затворе $U_{упр}$ (выше порогового напряжения - $U_{пор}$) является открывающим для таких структур – сопротивление минимально; при подаче нижнего уровня $U_{упр}$ транзисторы закрыты – сопротивление достигает наибольшего значения ($R_{вх}$).

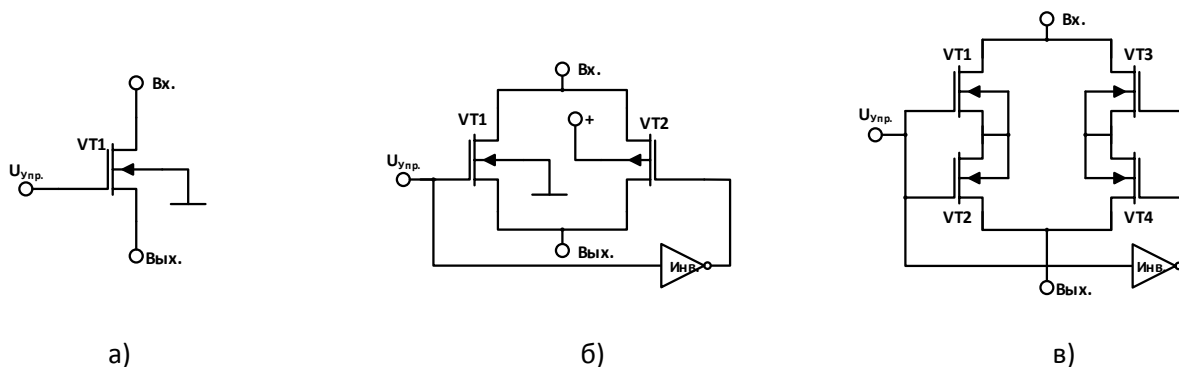


Рис. 1. Классические архитектуры аналоговых МОП-ключей. Ключ на одном транзисторе (а), ключ с использованием комплементарной пары транзисторов (б), ключ с «плавающим карманом» (в).

Архитектура рис. 1а является простейшим вариантом построения ключа, но для коммутации сигналов во всем диапазоне напряжений питания требует дополнительной схемы, создающей повышенное напряжение на затворе в открытом состоянии. Связано это с тем, что приведенная схема будет работать при коммутируемом напряжении, не превышающим $U_{упр} - U_{пор}$ при более высоком уровне напряжение на затворе будет недостаточным, чтобы удержать транзистор в состоянии проводимости ($R_{вх}$ начинает расти). Существуют задачи при которых напряжение коммутации, сравнимо по величине с напряжением управления. В этом случае простая схема на одном транзисторе работать не будет, поскольку высокий уровень управляющего напряжения не будет иметь достаточного смещения. Задача переключения таких сигналов коммутации решается применением переключателей на комплементарной паре рис. 1б. При высоком уровне управляющего сигнала VT1 коммутирует сигналы с уровнями от земли до $U_{упр}$ без нескольких вольт. VT2 коммутирует сигнал с уровнями от $U_{упр}$ до значения на несколько вольт выше уровня земли. Переключение управляющего сигнала на уровень земли закрывает оба транзистора, размыкая, таким образом, цепь. В результате данная схема обладает некоторыми преимуществами в сравнении с первой архитектурой, при параллельном соединении р- и n-канальных транзисторов сопротивление в открытом состоянии ($R_{вх}$) имеет меньшую зависимость от входного напряжения. Оба транзистора включаются и выключаются одновременно при подаче управляющего сигнала высокого уровня за счет инвертора. Третья архитектура рис. 1в имеет напряжение на выводе кармана, зависимое от состояния коммутации, что позволяет снизить ток утечки, но повысить входное сопротивление в открытом состоянии, а, следовательно, и напряжение падение на ключе [5, 6]. В идеале следует стремиться к минимизации сопротивления ($R_{вх}$) и тока утечки ($I_{ут}$), что позволит снизить потери в ключе и задержку распространения сигнала. Простое уменьшение $R_{вх}$ реализуется изменением отношения ширины (W) к длине (L) канала МОП-транзистора, что, в свою очередь, приведет к росту тока утечки закрытого состояния и паразитных емкостей, сужающих рабочую полосу частот ключа [7, 8].

На рис. 2 представлена архитектура предлагаемого ключа. Ключ построен на основе схемы параллельно включенных р- и n-канальных МОП-транзисторов с управляемыми карманами посредством инверторов (VT3-VT4, VT5-VT6) с использованием источников тока (I1, I2).

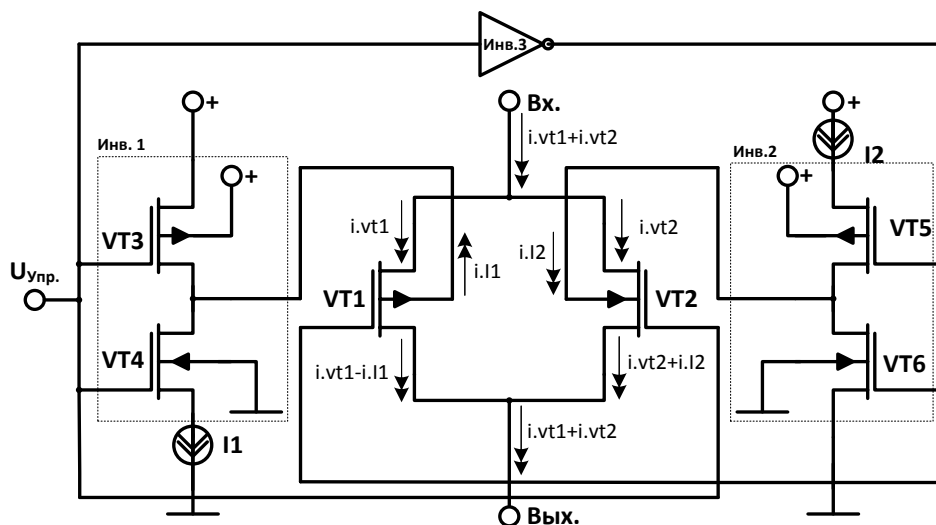


Рис. 2. Аналоговый ключ с управляемым карманом

На рис. 3 представлена структура р- и n-канальных полевых транзисторов с токами, поясняющими принцип работы схемы рис. 2. Главная задача схемы обеспечит высокую проводимость транзисторов в открытом состоянии и низкую в закрытом. Это обеспечивается инвертором Инв.1 на транзисторах VT3 и VT4 с источником тока I1 для транзистора VT1 и инвертором, Инв.2 на транзисторах VT5 и VT6 с источником тока I2 для транзистора VT2. Принцип работы левой части схемы диаметрально противоположен правой за исключением тока коммутации и представляет из себя следующее. В открытом состоянии на затворе р-канального транзистора VT1 (рис. 3а) формируется напряжение низкого уровня. Одновременно с этим напряжение на входе инвертора Инв.1 (рис.2) имеет высокий уровень. Транзистор VT4 переходит в открытое состояние, тем самым появляется ток источника I1, приложенный к выводу кармана транзистора (рис.3) дополнительно повышающий проводимость. Высокая проводимость обеспечивается смещением напряжения кармана ($U_{карм.}$) относительно напряжения стока (U_c), истока (U_u). При этом выполняются следующие условия:

$$U_{карм.} < (U_c, U_u), U_{вх} > U_{вых}, i.II' \gg i.II'', i.II' \approx II$$

В закрытом состоянии ключа, при формировании напряжения высокого уровня на затворе транзистора VT1, инвертор Инв.1 формирует напряжение высокого уровня, тем самым переводя транзистор VT4 в закрытое состояние ограничивая ток I1, а транзистор VT3 в открытое состояние, что снижает проводимость VT1 и уменьшает ток утечки в закрытом состоянии. Предложенная архитектура не может быть использована в технологиях с неизолированным n-канальным транзистором.

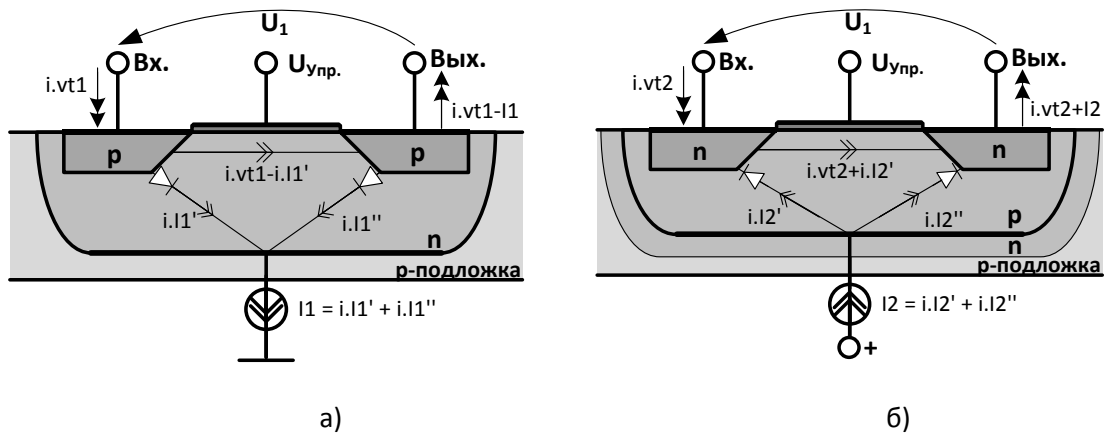


Рис. 3. Структура полевого транзистора, демонстрирующая токи схемы рис.2 для n-канального (а) и p-канального (б) типа проводимости.

В таблице 1 приведено сравнение основных параметров представленных ключей (рис.1-2) по результатам моделирования в среде Cadence на моделях транзисторов TSMC-40nm. Сравнимые ключи моделировались при одинаковых условиях, общим признаком сравнения была площадь. Общий размер каждого ключа составлял 2000мкм ширины к 600нм длины, при равных размерах транзисторов p- и n-типов проводимости. Напряжение питания 3.3В, ток нагрузки в открытом состоянии задан значением 10мА. Токи $I_1=I_2$, эффект снижения проводимости наступает при токах более 10 нА.

Таблица 1. Сравнения основных параметров представленных аналоговых ключей

Параметр	$U_{вх.}$, В	Простейший ключ на одном транзисторе (Рис. 1а)	Комплементарная пара (Рис. 1б)	Комплементарный ключ с «плавающим карманом» (Рис. 1в)	Предложенная архитектура ключа с управляемым карманом (Рис. 2)
Сопротивление в открытом состоянии $R_{вх.}$, Ом	3.3	116.4	6.3	25.7	5.7
	2	4.6	5.3	11.2	2.3
	1.5	1.2	2.4	8	1.7
Ток утечки в закрытом состоянии $I_{ут.}$, нА	3.3	1.3	0.69	1.1	0.69
	2	0.34	0.17	0.21	0.17
	1.5	0.29	0.12	0.06	0.12

Из таблицы 1 видно, что простейший ключ (Рис. 1а) при использовании всей доступной площади имеет наименьшее входное сопротивление при малом $U_{вх.}$, но при этом наибольший ток утечки в закрытом состоянии. В случае если входное коммутируемое напряжения равно управляющему, сопротивление ключа достигает 116Ом, при условии $U_{вх.} = U_{упр.}$ применять данный ключ нецелесообразно. Комплементарная пара (Рис. 1б) решает проблему ключа на одном n-канальном транзисторе, также возможно уменьшить ток утечки. Комплементарный ключ с «плавающим карманом» (Рис. 1в) имеет малый ток утечки закрытого состояния, входное сопротивление в таком включении значительно увеличится в сравнении с комплементарной парой. Предложенная архитектура ключа с управляемым карманом (Рис. 2), построенная на основе комплементарной пары основывается на ее свойствах (Рис. 1б), но имеет меньшее сопротивление и меньший ток утечки в закрытом состоянии. Из этого можно сделать вывод, что предложенная архитектура электронного ключа обладает рядом преимуществ при одинаковой площади с сравниваемыми аналогами, минимизация площади удешевляет производство микросхем, уменьшает риск технологического брака, повышает быстродействие.

В статье был рассмотрен способ минимизация напряжения падения на электронном ключе в открытом состоянии, построенного на МОП-транзисторах. Пояснены преимущества использования полевых транзисторов. Определено, что сложность разработки современного ключа, в системах с низким напряжением питания и током потреблением, состоит в двух нежелательных явлениях: ток утечки закрытого ключа и падение напряжения на открытом ключе. Приведено сравнение хорошо известных классических архитектур электронных ключей, а также предложенной архитектуры. Сделан вывод о влиянии тока вывода кармана транзистора на его проводимость. Получены результаты моделирования. Из результатов моделирования видно, что предложенная архитектура при равной площади имеет преимущества над классическими ключами, обладает низким сопротивлением в открытом состоянии при этом малым током утечки в закрытом состоянии. Все это позволяет использовать предложенный электронный ключ в быстродействующих системах с низким напряжением питания и высокими требованиями к току потребления.

Работа выполнена при финансовой поддержке Министерства образования и науки России (Соглашение № 14.576.21.0064 от 06.11.2014г., Уникальный идентификатор ПНИ RFMEFI57614X0064).

Список используемой литературы

1. Usama Munir, David Canny, Selecting the Right CMOS Analog Switch. *Elektronikpraxis*, 2012, 13.
2. Jin Jyh Su, Demirci K.S. , Brand O. A Low-Leakage Body-Guarded Analog Switch in 0.35um BiCMOS and Its Applications in Low-Speed Switched-Capacitor Circuits. *Circuits and Systems II: Express Briefs, IEEE Transactions on* (Volume:62 , Issue: 10), 10.1109/TCSII.2015.2458093, 2015, pp.947-951.
3. Wu Ge, Shi Yin. A one-way MOS analog switch. *Solid-State and Integrated Circuit Technology*, 1998. *Proceedings. 1998 5th International Conference on*. 10.1109/ICSICT.1998.785909, 1998, pp.413-415.
4. Кудрявцев И.А., Фалкин В.Д. *Электронные ключи. Учеб. пособие. Самарский государственный аэрокосмический университет имени академика С.П. Королева, Самара, 2002. 24с.*
5. James T. Sundby, CMOS well switching circuit. US Patent, US5371419 A, Mitsubishi Denki Kabushiki Kaisha, 1992.
6. Masahito Sonehara, Yoichiro Kobayashi. Analog switch. US Patent, US20080296685 A1, Hitachi, Ltd., 2008
7. Волович Г.И., Аналоговые коммутаторы, *Схемотехника* № 5 май 2001, 28-32.
8. Бабаян Р.Р. Аналоговые коммутаторы и ключи, *Труды конференции «Технические и программные средства систем управления, контроля измерений»*, Москва, 2010.