

ETHERNET-РЕШЕНИЯ КОМПАНИИ «МИЛАНДР»

АНДРЕЙ АНДРЕЕВ, ведущий инженер, andreev.a@milandr.ru,
ПЕТР ДЬЯЧКОВ, ведущий инженер, dyachkov.petr@ic-design.ru,
АЛЕКСАНДР ЛУЖБИНИН, начальник лаборатории, luzhbinin.a@ic-design.ru

Статья продолжает знакомить читателей с развитием Ethernet-решений компании «Миландр», которые берут свое начало от микросхем четырехпортовых концентратора 5600BB2У и коммутатора 5600BB3Т. В дальнейшем решения получили продолжение в следующем поколении гигабитного 16-портового коммутатора 1923КХ028. На пути развития Ethernet-решений освоены новые технологические нормы, и повышен уровень коммутируемых протоколов.

Мы уже не можем представить жизнь без Ethernet-технологий. Технологии совершенствуются, усложняются, требования к сетевому оборудованию повышаются, и, как следствие, требуются инновационные решения в микроэлектронике для соответствия новым вызовам и стандартам. Наша компания давно стала на путь развития Ethernet-решений. Первые шаги были сделаны при создании микросхемы концентратора 5600BB2У. Структурная схема этой ИС представлена на рисунке 1. Концентратор коммутировал пакеты уровня L1 без их анализа и классификации. Коммутационная матри-

ца была выполнена на аналоговых схемах по технологии 0,6 мкм. Скорость обмена данными на порт не превышала 10 Мбит/с. Но появлялись новые сетевые протоколы, формат пакетов усложнялся, и требовалось производить коммутацию уже на более высоких уровнях, чем L1. Следующим шагом стало создание микросхемы четырехпортового коммутатора 5600BB3Т. Ее структурная схема представлена на рисунке 2. Коммутация пакетов стала осуществляться цифровыми схемами с использованием обучаемой таблицы MAC-адресов на уровне L2. Скорость обмена данными на порт достигла 100 Мбит/с.

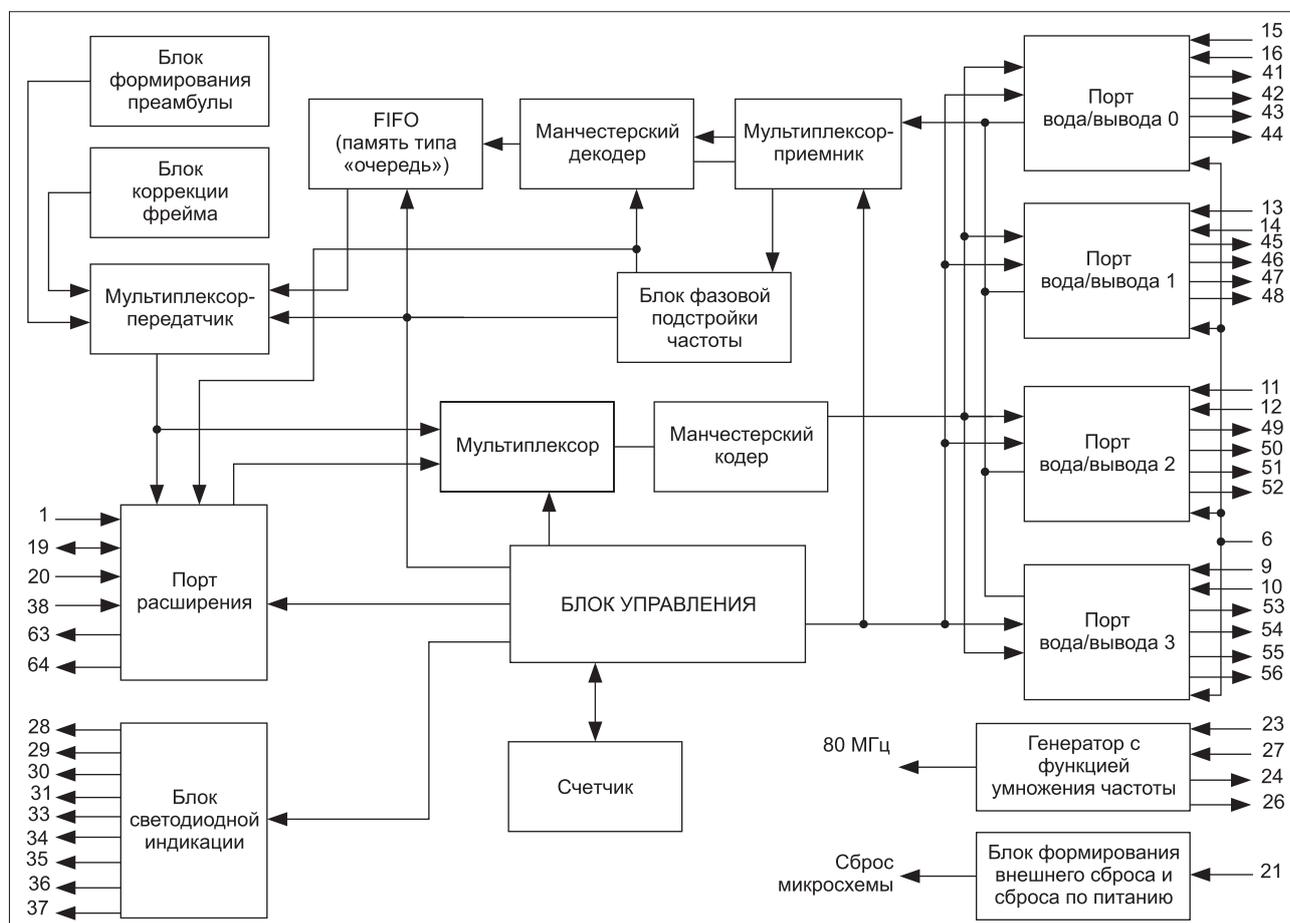


Рис. 1. Структурная схема концентратора 5600BB2У

В результате потребовалось перейти на технологические нормы 180 нм и реализовать приемопередатчики физического уровня, а также MAC-уровень. Перед созданием коммутатора эти решения нуждались в проработке. Первый разработанный компанией Ethernet MAC прошел апробацию в микросхеме 5600BG1Y контроллера ЛВС. Структурная схема этой ИС представлена на рисунке 3. Физический уровень прорабатывался в 32-разрядном микроконтроллере 1986BE1T. Таким образом, все эти микросхемы являются небольшими подвижками в большом шаге компании по развитию Ethernet-решений. Все они позволили компании реализовать одну из последних разработок – микросхему гигабитного 16-портового коммутатора 1923KX028. Он обеспечивает высокопроизводительную аппаратную классификацию пакетов уровня L2 для перенаправления их в локальные сегменты сети Ethernet. Микросхема осо-

бенно эффективна в приложениях для коммутирующих систем аудио/видео. При программной поддержке хост-системы коммутатор способен обрабатывать и переадресовывать пакеты уровня L3 и L4. Встроенная система QoS позволяет определить приоритет трафика через разные порты на основе алгоритмов PQ, WRR, WFQ. Широкий набор интерфейсов MII/GMII/SGMII позволяет подключать PHY-трансиверы разных типов. Для обработки пакетов с использованием хост-системы в состав микросхемы входит шина PCI Express версии 2.0 со встроенным одноканальным (one-lane) PHY-трансивером, функционирующая в режиме Endpoint на скорости 5 Гбит/с. Для реализации обработки пакетов на хост-системе предлагается комплект программного обеспечения, который включает драйвер, обеспечивающий набор API-функций для управления аппаратной частью, и встроенное программное обеспечение

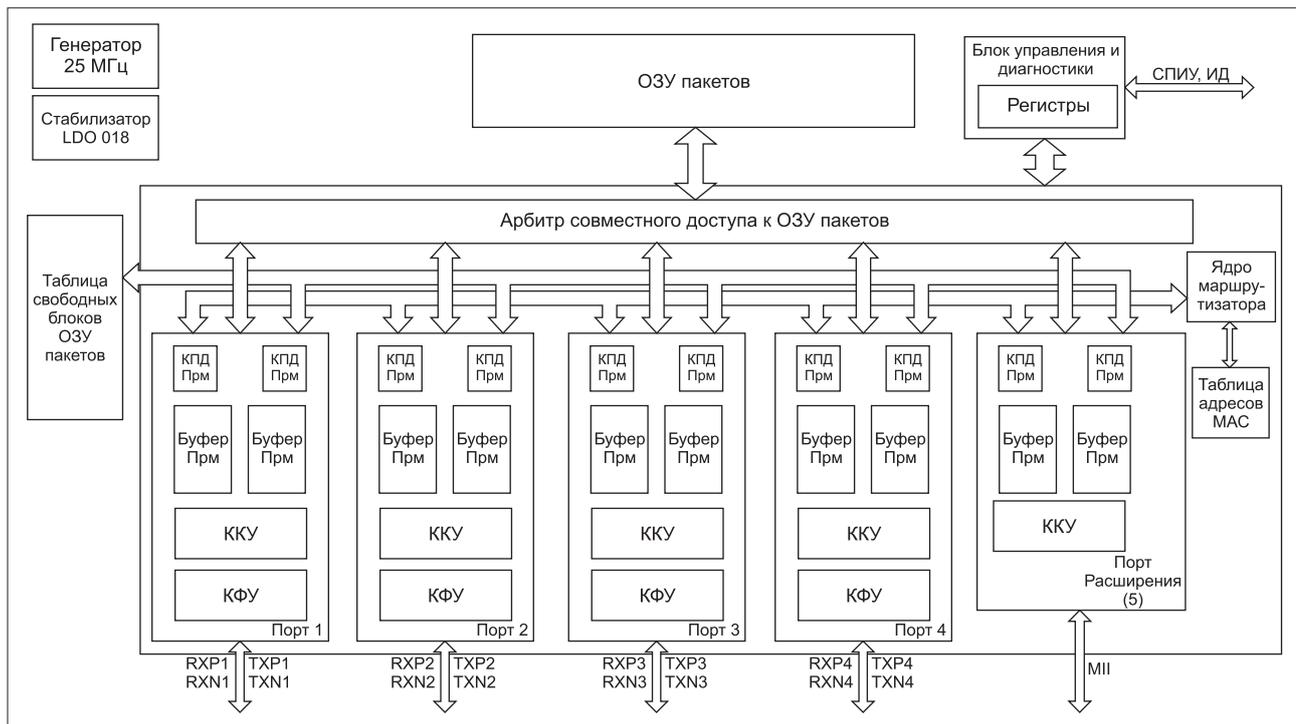


Рис. 2. Структурная схема четырехпортового коммутатора 5600BB3T

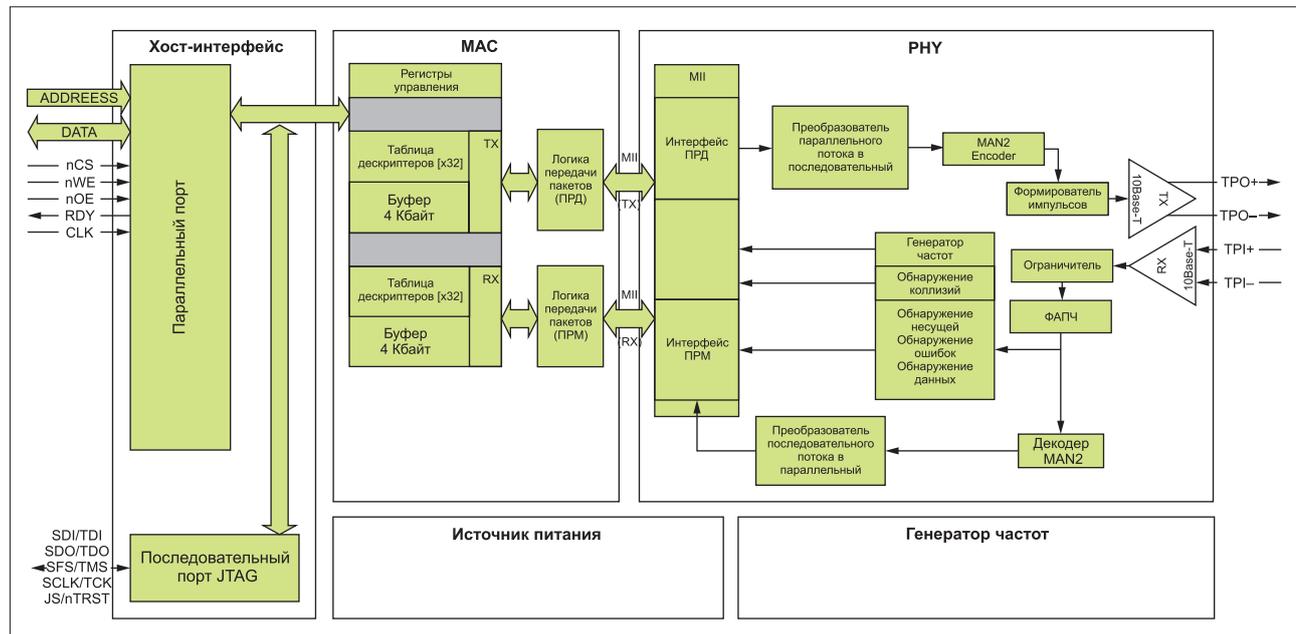


Рис. 3. Структурная схема контроллера ЛВС 5600BG1Y

(firmware). Драйвер адаптирован для переменного окружения ядра Linux.

В случае простых систем, в которых отсутствует шина PCI Express, предполагается использовать встроенный коммутатор интерфейс SPI, но его функциональность ограничена. Для простых систем, где требуется коммутация в режиме повторителя, микросхема предусматривает неуправляемый режим. В нем необходима минимальная настройка перед началом работы – дальнейшее управление работой коммутатора не требуется. В неуправляемом режиме пакеты, пришедшие на один из портов, транслируются на все остальные порты. Структурная схема микросхемы 1923KX028 представлена на рисунке 4.

Несмотря на широкую номенклатуру Ethernet-решений нашей компании, они не выдерживают конкуренцию в сравнении с зарубежными разработками. На сегодняшний день зарубежные компании предлагают разные Ethernet-решения: в первую очередь, сетевые процессоры, которые ведут обработку пакетов уровней L5–L7 на скоростях 10, 40 и 100 Гбит/с. Это следующая планка для нашей компании.

В настоящий момент прорабатываются разные архитектуры процессорных ядер с целью построения оптимальной ячейки для обработки пакетов в многоядерной архитектуре коммутатора. В кооперации с компанией CloudBear мы получили две процессорные архитектуры – VM-310S и BI-671D. Первая из них, базирующаяся на 32-разрядном процессорном элементе, по производительности близка к Cortex-M3 компании ARM. Вторая архитектура, базирующаяся на двух 64-разрядных процессорных элементах с кэш-памятью программ для каждого процессора, по производительности близка к Cortex-A9 компании ARM. Поскольку обработка трафика на скоростях выше 10 Гбит/с требует не менее 256 процессорных ядер, необходимо ограничить площадь одного ядра, не ухудшив его производительность.

Эти ограничения предъявляют требования к архитектуре ядра, базису системы команд и возможности развертывания RTOS. При таком большом числе ядер заметную роль в производительности играет задержка передачи данных между ядрами. Возникает еще одно требование к архитектуре – многопоточность. Вследствие параллельного выполнения потоков на одном ядре нивелируются задержки передачи данных между потоками. После решения всех архитектурных задач нашей компании потребуются дальнейшее освоение технологических норм. Если текущая микросхема гигабитного 16-портового коммутатора 1923KX028 выполнена по технологии 40 нм, то для реализации сетевого процессора требуется 28 нм. И эта технологическая норма на текущий момент является приоритетом для «Миландра».

Компания развивает еще одно нетрадиционное Ethernet-решение, которое предполагает построение бортовой сети дуплексной передачи данных через Ethernet (AFDX). С этой целью был разработан микроконтроллер 1986BE3T с поддержкой протокола AFDX. Этот протокол применяется в бортовых сетях передачи данных и является специальным случаем профилированной детерминированной сети.

Физическая среда реализуется согласно стандарту IEEE 802.3 с использованием IP-протоколов. Однако пропускная способность фиксированная, коллизий не происходит, т. к. время, необходимое для передачи сообщения по сети от отправителя получателю, постоянное. В нашем микроконтроллере сетевой уровень протокола AFDX, а именно виртуальные порты, UDP- и IP-уровни, контроль избыточности пакетов, проверка на целостность и планировщик

реализуются программно. В настоящее время микроконтроллер 1986BE3T не справляется со всеми требованиями стандарта ARINC664 и имеет ограниченную область применения в сетевых оконечных устройствах AFDX. В связи с этим наша компания прорабатывает на базе ядра VM-310S возможность создания 32-разрядного микроконтроллера с поддержкой AFDX, а также на базе 64-разрядной архитектуры BI-671D – процессора приложений AFDX. Конечной целью разработки этих микросхем является оценка возможности реализации на их основе сетевого оконечного устройства AFDX и сетевого коммутатора AFDX. Все AFDX-устройства планируется использовать в общесамолетных бортовых сетях со скоростями 10/100 Мбит/с.

Помимо обработки протокольного уровня важным элементом является реализация физического уровня Ethernet. В свою очередь, это выделяет еще один класс задач по созданию приемопередатчиков физического уровня Ethernet-сети. В настоящее время у компании имеются законченные решения с приемопередатчиками физического уровня со скоростями 10/100 Мбит/с с использованием микросхем 1986BE1T, 1986BE3T и 5600BB3T. Компания решает задачу по созданию приемопередатчика физического уровня 10/100/1000 Мбит/с. Блок будет реализован в виде IP для дальнейшего применения в различных устройствах. В текущей реализации IP-блок включает в себя интерфейсы RGMII, SGMII и выходы прерываний. В блок интегрированы цифровые эквалайзеры, компенсаторы наводок, эха, эффекта BLW, функции восстановления частоты и фазы передатчика. Максимальный поддерживаемый размер пакета: до 32 Кбайт. Автоматически обеспечивается определение подключения перевернутого кабеля и полярности витых пар. Предусмотрено отключение блоков приемника при работе в хорошем канале. Длина поддерживаемой линии связи Cat5: до 150 м. Возможно автоматическое снижение скорости работы. По текущему состоянию IP-блок не был верифицирован в кремнии, но в этом году планируется запуск микросхемы мониторинга и анализа данных сетевых протоколов 10Base-T/100Base-TX/1000Base-T по технологии 40 нм. В состав ИС войдут два таких IP-блока.

Подводя итоги полученных компанией Ethernet-решений, можно сделать следующий вывод: компания уже предлагает потребителям широкую номенклатуру микросхем 5600BB2U, 5600BB3T, 5600BG1U, 1986BE1T, 1986BE3T, 1923KX028. Однако понимая, что потребителям необходимы устройства, сопоставимые по характеристикам с зарубежными аналогами, компания ведет дальнейшее развитие своей номенклатуры микросхем для Ethernet-решений. —